

公開実用 昭和62-120354

⑩ 日本国特許庁(JP)

⑪ 実用新案出願公開

⑫ 公開実用新案公報(U)

昭62-120354

⑬ Int.Cl.⁴

H 01 L 21/88
29/78

識別記号

庁内整理番号

6708-5F
8422-5F

⑭ 公開 昭和62年(1987)7月30日

審査請求 未請求 (全 頁)

⑮ 考案の名称 アクティブマトリクス基板

⑯ 実 願 昭61-6616

⑰ 出 願 昭61(1986)1月22日

⑱ 考 案 者	小 西	信 武	日 立 市 久 慈 町 4026 番 地	株 式 会 社 日 立 製 作 所 日 立 研 究 所 内
⑱ 考 案 者	細 川	義 和	日 立 市 久 慈 町 4026 番 地	株 式 会 社 日 立 製 作 所 日 立 研 究 所 内
⑱ 考 案 者	鈴 木	誉 也	日 立 市 久 慈 町 4026 番 地	株 式 会 社 日 立 製 作 所 日 立 研 究 所 内
⑱ 考 案 者	三 村	秋 男	日 立 市 久 慈 町 4026 番 地	株 式 会 社 日 立 製 作 所 日 立 研 究 所 内
⑱ 考 案 者	青 山	隆	日 立 市 久 慈 町 4026 番 地	株 式 会 社 日 立 製 作 所 日 立 研 究 所 内
⑱ 考 案 者	金 子	洋	日 立 市 久 慈 町 4026 番 地	株 式 会 社 日 立 製 作 所 日 立 研 究 所 内
⑱ 考 案 者	鈴 木	隆	日 立 市 久 慈 町 4026 番 地	株 式 会 社 日 立 製 作 所 日 立 研 究 所 内
⑲ 出 願 人	株 式 会 社 日 立 製 作 所			東 京 都 千 代 田 区 神 田 駿 河 台 4 丁 目 6 番 地
⑳ 代 理 人	弁 理 士 小 川 勝 男			外 2 名

明 細 書

考案の名称 アクティブマトリクス基板

実用新案登録請求の範囲

1. 絶縁基板上に複数本のソースあるいはドレイン配線及び該ソースあるいはドレイン配線と直交する複数本のゲート配線を備え、各交点に駆動電極を有するMOS型薄膜トランジスタにおいて、該直交する配線の少なくとも一方がシリサイド層又はシリサイド層とシリコンの二層から成ることを特徴とするアクティブマトリクス基板。

考案の詳細な説明

〔考案の利用分野〕

本考案は、アクティブマトリクス基板に係り、特にマトリクス配線部の低抵抗化とMOSFETの製造工程の簡略化を両立させるために好適な構造に関する。

〔従来背景〕

従来の液晶表示用アクティブ・マトリクス基板に用いられる薄膜トランジスタMOSFET（以下単にTFTと略記）の一例としては、日経エレクトロ

(1)

509

ニクス (1984年9月10日号)における小口、村田らによる“商品化された液晶ポケット・カラー・テレビ”と題する文献において論じられている。このTFTはフォトエッチング工程を簡略化するために駆動用のソース電極配線及びゲート電極配線を各々ITO膜、ポリシリコン膜で形成している。一方、マトリクスを駆動する制御回路の点からは、(a)これらの配線自身の抵抗値は可能な限り小さい方が望ましい。特に、画素数が多い大画面を形成するマトリクス基板を制御したり、走査時間を速くして使用する場合にはこの問題が大きくなってくる。また、(b)大画面のマトリクス基板を形成する場合は、経済性、製作歩留りの点からより簡略化されたプロセスが要求される。前述の文献では、後者(b)を重視したTFT構成である。前者(a)を考慮した場合には、電極配線に用いる物質としてアルミニウム(Al)などの低抵抗金属を用いた例があるが、プロセス数が増える、AlとITO膜のコンタクト不良、Al配線後のプロセスでAlが犯され製造歩留りが低下す

(2)

510

る、といった問題点があつた。

〔考案の目的〕

本考案の目的は、T F Tを用いたマトリクス構造に関して、プロセス数が少なく、かつマトリクスの行及び縦の配線自身の抵抗を小さくでき、しかも高信頼度化が可能なT F Tマトリクス構造を提供することにある。

〔考案の概要〕

本考案は、石英やガラスなどのような透明基板上に形成したT F T基体となるポリシリコン層及びゲート絶縁膜上に形成したポリシリコン層の上にシリサイドを形成する金属を設け、これを熱処理することで二つのポリシリコン表面にシリサイド層を形成し、この層をマトリクスの行及び列の配線に使うことにより低抵抗の配線を達成でき、かつゲートのセルフアライメントが可能のためホトマスク回数が少ないT F Tマトリクス構造を達成したものである。

〔考案の実施例〕

以下、本考案の特徴とするところを具体的な実

(3)

511

施例により詳細に説明する。第1図は本考案の第1実施例を示す立体図、第2図は平面図、第3図は第1図のTFT単体領域のA-A'断面図、第4図は第1図のマトリクス配線のクロスオーバ領域のB-B'断面図である。まず、本考案の主要プロセス及びこれに対応した構造を第3図を用いて説明する。第3図(a)に示すように石英又はガラスのような透明絶縁基板1の上にポリシリコン層2を形成し、ドライエッチング法等でTFT領域及びこれと一体化されているマトリクス配線の列線部70を形成する。次に(b)図に示すようにゲート絶縁膜として用いる。例えばSiO₂膜3をCVD法等で基板全面に形成する。さらにゲート電極の一部となるポリシリコンあるいはアモルファスシリコン層4を形成し((c)図)、(b)と同様にドライエッチング法等でゲート領域5及びこれと一体化されているマトリクス配線の行線900部を形成する。

次に、シリサイド層を形成する白金(Pt)等の金属6をスパッタ法で全面に被覆し((e)図)

(4)

512

熱処理を施してTFT領域にソース電極7、マトリクスの列線部70の表面に列配線電極71、ドレイン電極8、ゲート電極9及びマトリクスの行線部900の表面に行配線電極901を同時に形成する。ここでゲート絶縁膜3の側面30上に被覆されたPtは、下地が絶縁膜であるため熱処理しても反応せず、シリサイド層(PtSi)とはならない。この状態で王水で洗浄すると、絶縁膜30上のPtが除去されるためソース電極7、ドレイン電極8とゲート電極9とが、またクロスオーバー領域の列配線70の列配線電極71と行配線900の行配線電極910とが、自己整合的に分離される((f)図)。次にCVD法でSiO₂、PSG等の絶縁膜10を全面に被覆してスルーホール11を形成した後ITO等の透明電極12を被覆、パターンニングをしてTFTアクティブマトリクスが完成する((g)図)。以上の工程によると、ゲート領域の絶縁膜と電極を自己整合的に形成できるのでゲート電極形成のためのホトエッチ工程を省略できてプロセスの簡略化を図れると共

(5)

513

に合わせて精度が向上する。また、TFT単体部の電極工程と全く同一の工程でマトリクス配線部の列配線が及び行配線を形成できるのでプロセス簡略化が図れる。以上の工程に必要なホトマスク数は最小限の4枚であり、しかも、マトリクス配線がすべてシリサイド層で覆われているので

ITOあるいはドーピングされたポリシリコン層を用いた場合と比較して桁違いに配線抵抗を小さくでき大画面化に極めて有効である。

次に本考案の第2の実施例について、TFTマトリクスの立体図を示す第5図、第5図の平面図を示す第6図及び第5図、第6図のA-A'断面を示す第7図を用いて説明する。これらの図において本発明第1実施例と同じ役割を為す部分は同一符号を付してある。第1実施例と異なる点はゲート配線（行線900）が列配線70とのクロスオーバー領域13で途切れていることである。クロスオーバー領域13での行配線900の連結はドレインコンタクトを施すときのITO被覆のときに同時に形成するITO120を用いて、スルホー

ル 1 1 0 , 1 1 1 を介して為される。クロスオーバ部の第 7 図において、第 1 実施例の第 4 図と異なる点はクロスオーバ領域の列配線 7 0 のポリシリコンの表面がシリサイド層 7 1 で覆われていること、行配線 9 0 0 を連結している I T O 1 2 の下が絶縁膜 1 0 であることである。以上の構造で明らかなように列配線 7 0 のクロスオーバ領域がシリサイド層 7 1 で覆われているためこの部分の抵抗を第 1 実施例と比較してさらに小さくできる利点がある。この列配線 7 0 は低配線抵抗が要求されるマトリクスパネルの信号線となるから、その効果はさらに大きい。また、もう一つの利点はゲート絶縁膜 3 が薄い場合、第 1 実施例第 4 図の肩 3 0 0 部分で列配線 7 0 とゲート電極用ポリシリコン 4 とシリサイド層 9 から成る行配線 9 0 0 とが短絡する恐れがあるのに対して第 2 実施例第 7 図では、肩 3 0 0 にはゲート絶縁膜より厚い絶縁膜 1 0 で覆われているので短絡する機会は極めて少ない。マトリクス数が多い場合においてこの効果は大である。

(7)

515

第8図は、本考案の第3の実施例を示す。第1
 実施例第3図(d)の工程後ポリシリコン層4を
 マスクとして、リン(P)またはボロン(B)
 をイオン打込み、ソース領域100とドレイン領
 域800を形成したことを特徴とする。この工程
 以後は、第3図(e)以降と同様のプロセスで
 TFTを完成できるのでここでは省略する。本考
 案の利点は、ホトマスク数を第1あるいは第2の
 実施例と同数としたままソース、ドレイン領域の
 $n+$ 層を形成できると同時に行配線900のポリ
 シリコン層4の表面がゲート領域と同時に高濃度
 の $n+$ 層または $P+$ 層40で覆われているため、
 第1及び第2実施例における行配線900と比べ
 て低抵抗にできる点である。

本考案の実施例ではTFT基板としてポリシリ
 コンを例にとつて説明したが、本発明の主旨から
 明らかなように、ポリシリコンをレーザ光等を用
 いて溶融して単結晶とした場合にもアモルファス
 とした場合あるいはそれらの組み合わせとした場
 合にも同様の効果が得られることは言うまでもな

い。

〔考案の効果〕

本考案によれば、マスク数を最小限にとどめて T F Tマトリクスを形成できるので、製作コストを下げられる。また、マトリクス配線の抵抗を小さくできるので、マトリクス数が多い大画面のディスプレイに適用した場合、回路制御が簡単になると共に高速動作が可能となる。

図面の簡単な説明

第1図、第2図、第3図、第4図は本考案の第1実施例の各々立体図、平面図、各プロセスに対応する第1、第2図のA-A'線断面図及びB-B'線断面図、第5図、第6図第7図は本考案の第2実施例の各々立体図、平面図、A-A'線断面図、第8図は本考案の第3実施例を示す縦断面図である。

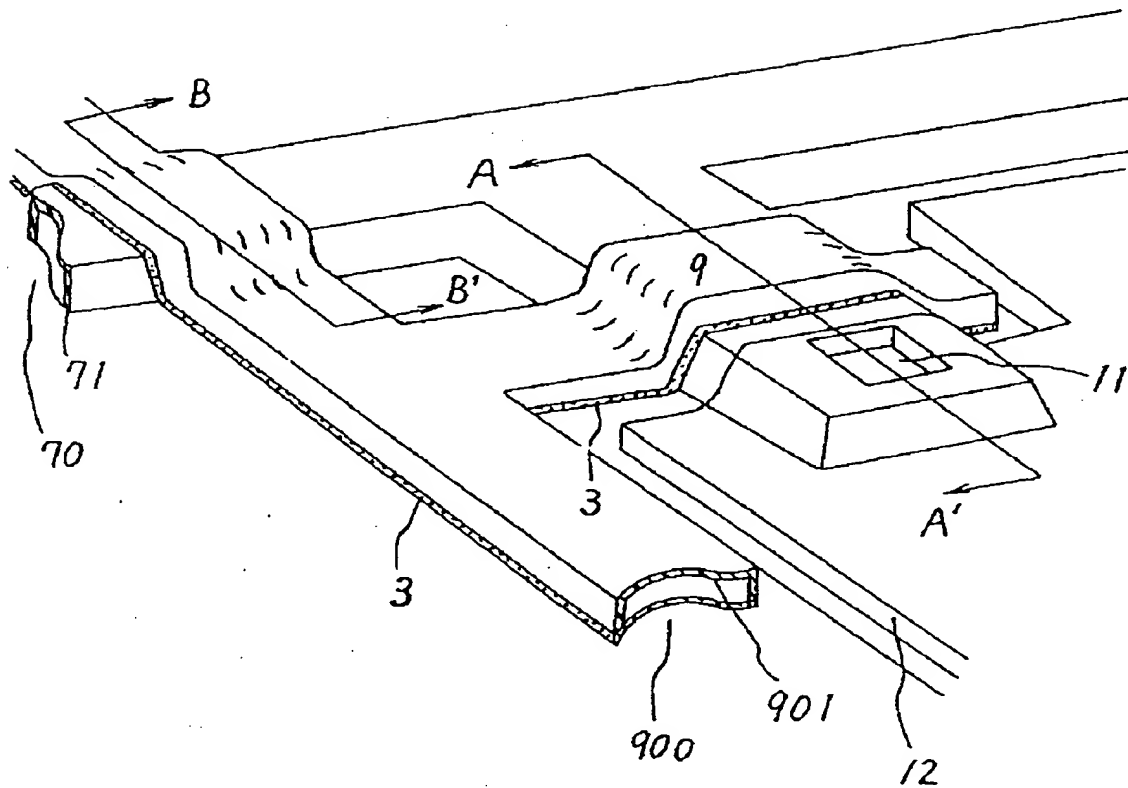
1…透明絶縁基板、2、4…ポリシリコン、3…ゲート絶縁膜、7、8、9…シリサイド層、11…透明電極。

代理人 弁理士 小川勝男

(9)

517

第 1 図

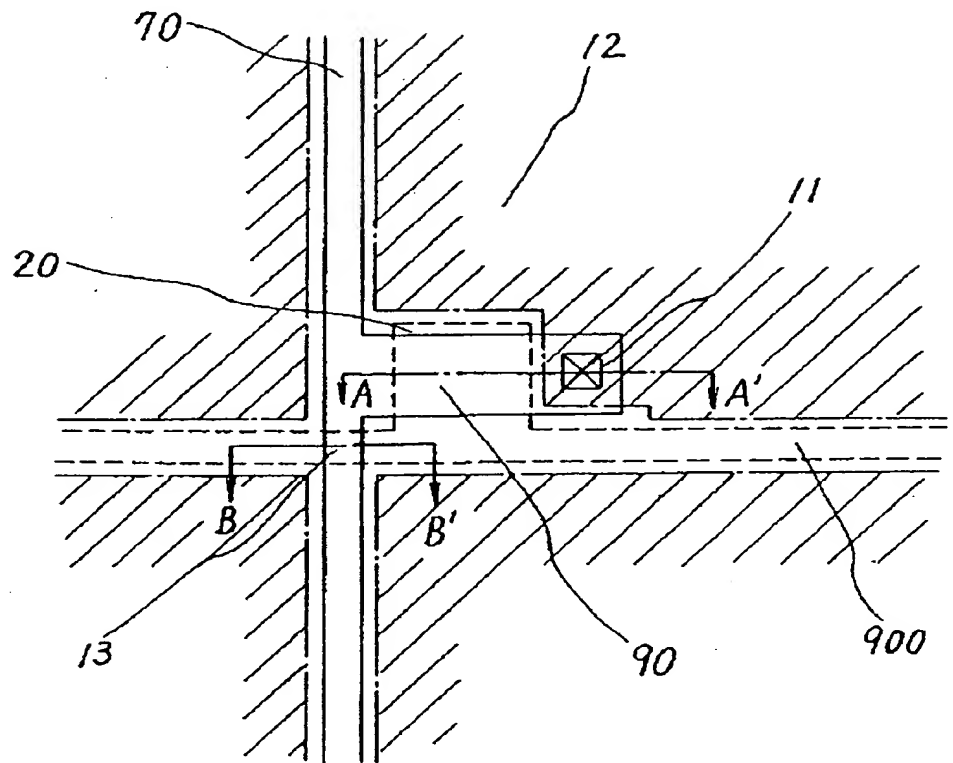


518

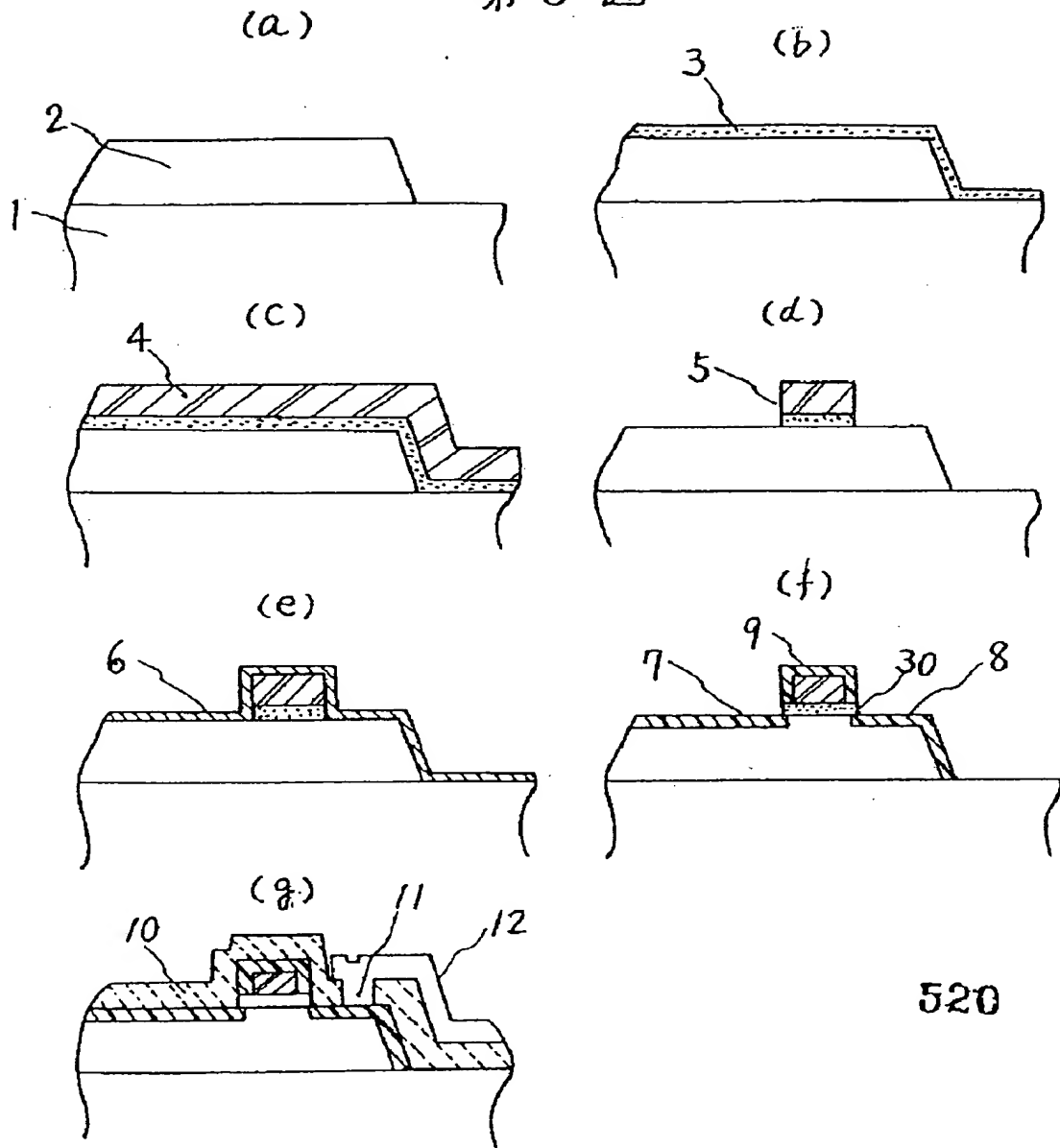
0.505

代理人 小 川 勝 男

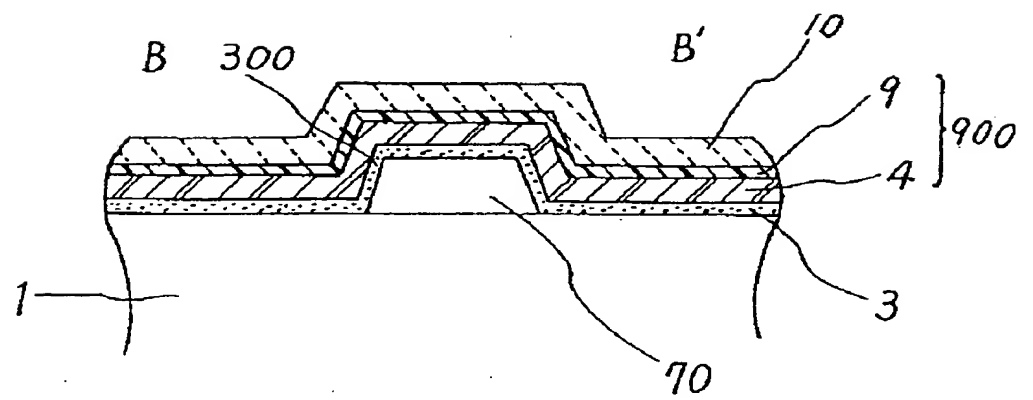
第 2 図



第3図



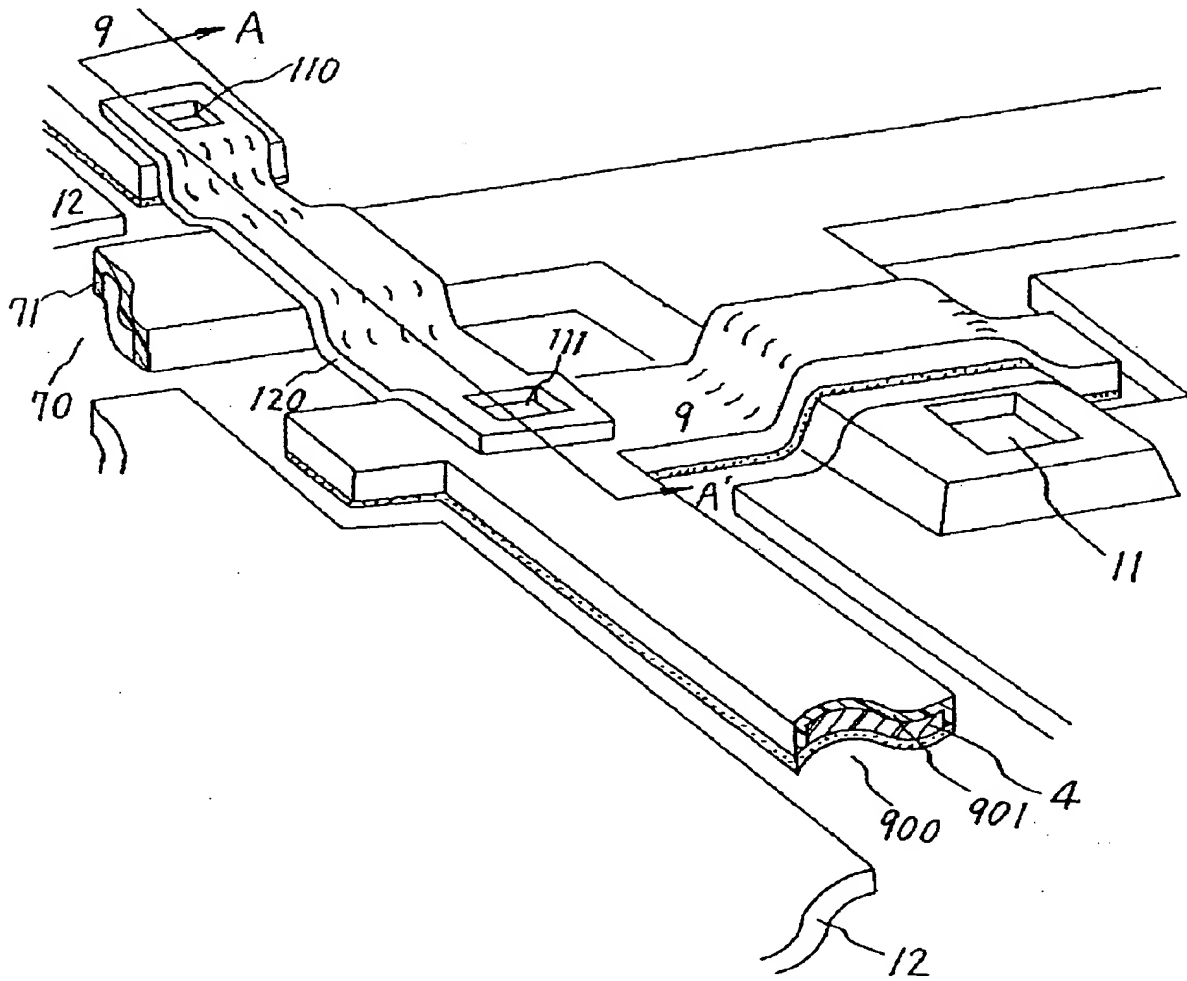
第 4 図



521

代理人 小川 勝 男

第 5 図

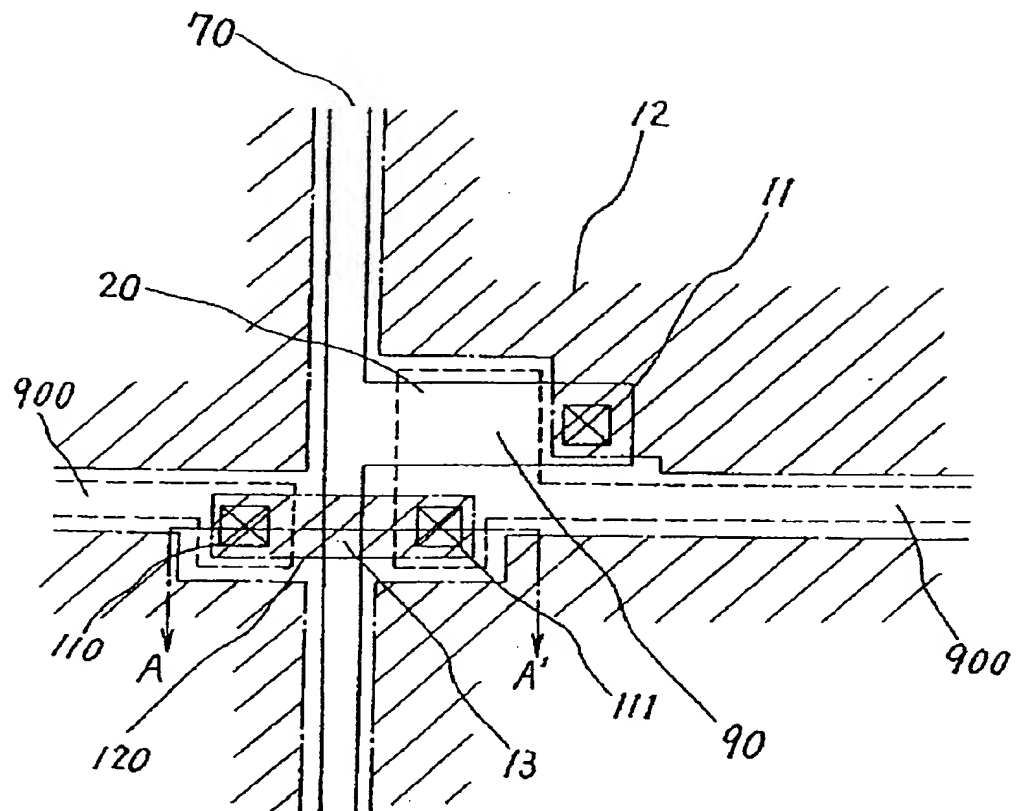


522

代理人 小 川 勝 男

522-120354

第 6 図

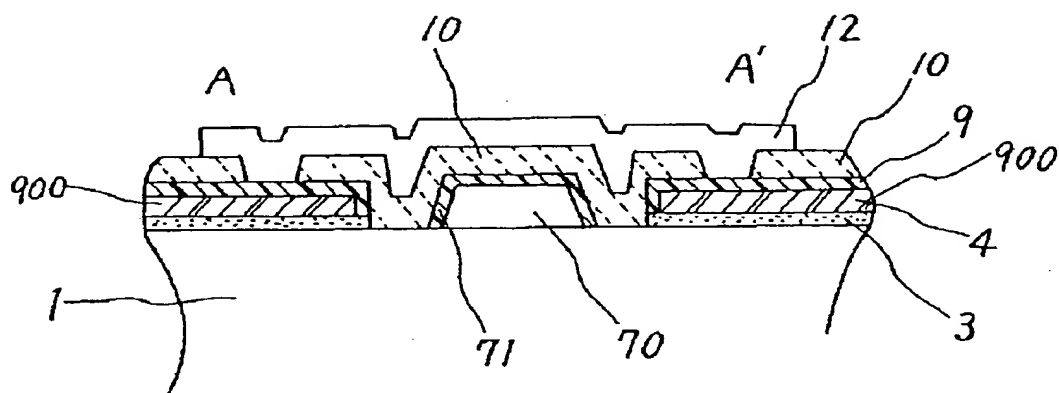


523

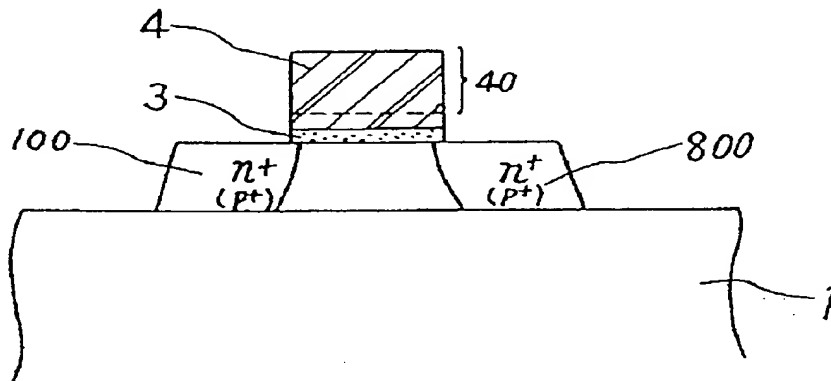
528

代理人 小 川 勝 男

第 7 図



第 8 図



524

Utility Model Laid-Open Number : 62-120354
Utility Model Laid-Open Date : July 30, 1987
Application Number : 61-6616
Application Date : January 22, 1986
Int. Class Number : H01L 21/88, 29/78
Applicant : Hitachi, Ltd.

Title of Device: Active matrix substrate

Specification

[Title of the Invention]

Active matrix substrate

[Claim of Utility Model]

An active matrix substrate wherein, in MOS type thin film transistors having a plurality of source or drain wirings and a plurality of gate wirings orthogonal to said source or drain wirings on an insulating substrate, and a driving electrode at each intersection, at least either of said orthogonal wirings are constituted by a silicide layer or two layers of a silicide layer and a silicon layer.

[Field of Use]

The present device relates to an active matrix substrate, especially to a structure suitable for achieving the compatibility between the reduction in resistivity of matrix wiring sections and the simplification of MOSFET manufacturing processes.

[Background Art]

An example of a thin film transistor MOSFET (hereinafter simply referred to as TFT) used in an active matrix substrate for a conventional liquid crystal display, is discussed in an article of Nikkei Electronics (Published on September 10, 1984), titled Commercialized Crystal Pocket Color TV authored by Oguchi and Murata et al. In this TFT, in order to simplify a photo etching process, source electrode wirings and gate electrode wirings for driving are formed respectively, of an ITO film and a polysilicon film. On the other hand, from the view point of controlling circuits which drive the matrix, (a) the resistivity of these wirings themselves are desirably as small as possible. Especially, when controlling a matrix substrate for forming a large screen having a large number of pixels, or accelerating a scanning time, this issue would be critical. Also, (b) when forming a large screen matrix substrate, more simplification in processes is required in terms of economy and manufacturing yield. The article mentioned above describes a TFT structure which lays more emphasis on the later issue (b). As for a case wherein the former (a) is considered, there is an example employing a low-resistance metal such as aluminum (Al) etc. as a material used for electrode wirings, however, there have been problems such as increase in a number of processes, contact failure between the Al and ITO film, and lower manufacturing yield due to damages made to the Al during the processes after the Al wiring.

[Object of the Invention]

An object of the present invention is to provide a matrix structure using TFTs, which requires a small number of processes, allows to reduce the resistance of rows of the matrix and the wirings themselves, and also is capable of improving the reliability.

[Summary of the Invention]

The present invention achieves a TFT matrix structure in which a metal for forming a silicide is provided on a polysilicon layer constituting a TFT substrate formed on a transparent substrate such as quartz or glass, and on a polysilicon layer formed on a gate insulating film, and it is thermally treated, thereby forming the silicide layer on the surfaces of the two polysilicon, and by using this layer for wirings of rows and columns of the matrix, low-resistance wirings are achieved, and since self-alignment of gates is possible, a number of photo masking processes is reduced.

[Embodiment]

Hereafter, features of the present invention are explained in detail according to specific embodiments. Fig. 1 is a three dimensional diagram showing the first embodiment of the present invention, Fig 2 is a plane view, Fig. 3 shows cross sectional views of a single TFT region of Fig. 1 taken along the line A-A' , and Fig. 4 is a cross sectional view of a cross-over region of the matrix wiring in Fig. 1 taken along the line B-B' . First of all, major processes of the present invention and structures corresponding thereto are explained using Fig. 3. As shown in Fig. 3(a), a polysilicon layer 2 is formed on a transparent insulating substrate 1 such as quartz or glass, and using a dry etching method etc., TFT region and a column line section 70 of a matrix

wiring which is integral to the TFT region, are formed. Next, a gate insulating film is used in the diagram (b). For example, an SiO_2 film 3 is formed on the entire surface of the substrate by a CVD method etc. Moreover, a polysilicon or amorphous silicon layer 4 which will form a part of a gate electrode is formed (diagram (c)), and in a similar manner as in (b), a gate region 5 and a row line section 900 of the matrix wiring which is integral to the gate region, are formed.

Next, a metal 6 such as white gold (Pt) etc. for forming a silicide layer is coated on the entire surface by a sputtering method (diagram (e)), and it is thermally treated to simultaneously form a source electrode 7 on the TFT region, a column wiring electrode 71 on the surface of the column line section 70 of the matrix, a drain electrode 8, gate electrode 9, and a row wiring electrode 901 on the surface of the row line section 900 of the matrix. Here, the Pt coating a side surface 30 of the gate insulating film 3 would not react to the thermal treatment since its base is the insulating film, so that it would not turn into the silicide layer (PtSi). While in this state, when it is cleaned by aqua regia, the Pt on the insulating film 30 is eliminated, thereby isolating self-alignedly, the source electrode 7, the drain electrode 8, and the gate electrode 9, and also the column wiring electrode 71 of the column wiring 70, the row wiring electrode 910 of the row wiring 900 in the cross-over region (diagram (f)). Next, after an insulating film 10 such as SiO_2 or PSG etc. is coated on the entire surface by a CVD method and a through hole 11 is formed, a transparent electrode 12 such as ITO etc. is coated and patterned, whereby completing a TFT active matrix (diagram (g)). Since the above processes allow to form self-alignedly the insulating film and the electrodes in the gate region, a photo etching process for the formation of the

gate electrode can be omitted so that the simplification of the processes can be achieved, and at the same time, the accuracy is improved. Also, since the column wirings and the row wirings of the matrix wiring sections can be formed in the same processes as the electrode process in individual TFT sections, the simplification of the processes can be achieved. The number of photo masks required in the above processes is minimum of 4 pieces, and moreover, since the matrix wirings are all covered by the silicide layer, the wiring resistance can be drastically reduced comparing to the case where an ITO or a doped polysilicon layer is used, thus it is extremely advantageous in increasing the screen size.

Next, the second embodiment of the present invention is explained with reference to Fig. 5 showing a three dimensional diagram of a TFT matrix and Fig. 6 showing a plane view of Fig. 5, and Fig. 7 showing a cross sectional view of Figs. 5 and 6 taken along the line A-A' . In these figures, identical reference numerals are given to those sections having the same functions as those in the first embodiment of the present invention. This differs from the first embodiment in that a gate wiring (row wiring 900) discontinues at a cross-over region 13 with a column wiring 70. The connection of the row wiring 900 at the cross-over region 13 is done by an ITO 120 which is simultaneously formed at the time of ITO coating for making a drain contact, via through holes 110 and 111. Differences in the cross-over section of Fig. 7 from that of Fig. 4 for the first embodiment are in that the surface of a polysilicon of the column wiring 70 at the cross-over region is covered by a silicide layer 71, and in that the underneath the ITO 12 for connecting the row wiring 900 is an insulating film 10. As it is clear from the above structure, since the cross-over region of the column wiring 70 is covered by

the silicide layer 71, there is an advantage that the resistance of this section can be further reduced compared to the first embodiment. Since this column wiring 70 will act as a signal line of the matrix panel in which the wiring resistance is required to be low, the effect is further significant. In addition, another advantage resides in that where the gate insulating film 3 is thin, there would be a possibility of occurrence of short-circuiting between the column wiring 70, the polysilicon 4 for gate electrode, and the row wiring 900 consisting of the silicide layer 9 at the shoulder section 300 in Fig. 4 for the first embodiment, but in contrast, the possibility of short-circuiting is extremely low since the shoulder section 300 is covered by an insulating film 10 which is thicker than the gate insulating film. When the number of the matrix is large, this is very effective.

Fig. 8 shows the third embodiment of the present invention. It is characterized in that, after the process of Fig. 3 (d) of the first embodiment, using the polysilicon layer 4 as a mask, phosphorus (p) or boron (b) is implanted by ion implantation to form a source region 100 and a drain region 800. As for the later processes, the description is omitted since a TFT can be completed by the same processes of Fig. 3 (e) and later. An advantage of the present invention resides in that it allows to realize lower resistance relative to the row wiring 900 of the first and the second embodiments since it allows to form an n^+ layer for the source and drain regions still with the same number of photo masks as in the first and second embodiments, and at the same time, lower resistance than those in the first and second embodiment can be achieved since the surface of the polysilicon layer 4 of the row wiring 900 is covered by a highly concentrated n^+ layer or P^+ layer 40 simultaneously with the gate region.

In the embodiments of the present invention, the TFT substrate is described as using a polysilicon as an example, however, as it is clear from the argument of the present invention, similar effects can of course be obtained also when a polysilicon is melted to be turned into a single crystal by using a laser beam etc., when it is turned into amorphous, or when the formers are combined.

[Effect of the Invention]

According to the present invention, since a TFT matrix can be formed with a minimum number of masks, the manufacturing cost can be reduced. Also, since the resistance in the matrix wirings can be reduced, when it is applied to a large screen display having a large number of matrix, the circuit controlling is made easier and at the same time, high-speed operation is realized.

[Brief Description of Figures]

Figs. 1, 2, 3 and 4 are respectively, a three-dimensional diagram, a plane view, cross-sectional views of Figs 1 and 2 taken along the line A-A' , corresponding to each process, and a cross sectional view taken along the line B-B' , of the first embodiment of the present invention, Figs. 5, 6 and 7 are respectively, a three-dimensional diagram, a plane view, and A-A' cross sectional view of the second embodiment of the present invention, and Fig. 8 is a vertical cross sectional view showing the third embodiment of the present invention.

[Description of the Reference Numerals]

62-120354

1: transparent insulating substrate, 2, 4: polysilicon, 3: gate insulating film, 7, 8, 9: silicide layers, 11: transparent electrode

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.